

534,170

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004年5月27日 (27.05.2004)

PCT

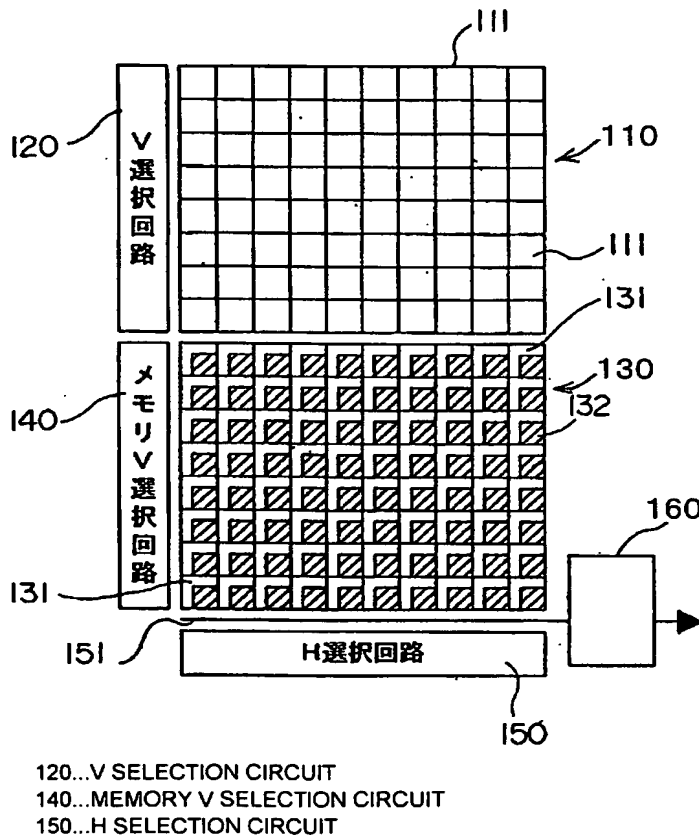
(10) 国際公開番号  
WO 2004/045204 A1

- (51) 国際特許分類: H04N 5/335 (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2003/014115
- (22) 国際出願日: 2003年11月5日 (05.11.2003) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 馬淵 圭司 (MABUCHI, Keiji) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
- (30) 優先権データ:  
特願 2002-329727  
2002年11月13日 (13.11.2002) JP (81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: SOLID STATE IMAGING APPARATUS

(54) 発明の名称: 固体撮像装置



(57) Abstract: Digital image signals of high quality image obtained by a simultaneous AD conversion are outputted by quickly performing AD conversion at a low cost without upsizing the pixel array part and/or the optical system. A pixel array part (110), which has a photoelectric converting element and a pixel transistor for each pixel (111), outputs analog pixel signals. An AD memory part (130), which is configured by arranging unit memories (131) in a two-dimensional matrix corresponding to the pixel arrangement of the pixel array part (110), sequentially stores analog pixel signals read via vertical signal lines, and performs several types of processings (e.g., elimination of solid state pattern noise by CDS, gain adjustment, and the like) including AD conversion. Each of the unit memories (131) of the AD memory part (130) includes an AD converting circuit (132), which converts an analog pixel signal read from the respective pixel to a digital pixel signal.

(57) 要約: 画素アレイ部や光学系の大型化を招くことなく、迅速かつ低負担でAD変換を行い、同時AD変換による高画質のデジタル画像信号を出力する。画素アレイ部(110)は各画素(111)毎に光電変換素子と画素トランジスタを有し、アナログ画素信号を出力する。ADメモリ部(130)は、画素アレイ部(110)の各画素配列に対応する2次元配列で単位メモリ(131)を配置して構成され、垂直信号線を通して読み出されたアナログ画素

信号を順次蓄積し、AD変換を含む各種の処理(例えばCDSによる固体パターンノイズ除去やゲイン調整等)を行う。そして、このADメモリ部(130)の各単位メモリ(131)には、AD変換回

[続葉有]

WO 2004/045204 A1



添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

路(132)が設けられ、このAD変換回路(132)によって各画素から読み出されたアナログ画素信号をデジタル画素信号に変換する。

## 明 細 書

## 固体撮像装置

5

## 技術分野

本発明は、複数の画素を２次元配列で設けた画素アレイ部を有し、この画素アレイ部の各画素から信号を取り出して信号処理を行う方式の例えばＣＭＯＳイメージセンサ等の固体撮像装置に関する。

10

## 背景技術

一般にＣＭＯＳイメージセンサはＭＯＳプロセスを用いて作製されるため、ＣＣＤイメージセンサと異なり、画素アレイ部を設けた同一チップ上にＡＤ変換回路をオンチップで搭載することが可能である。

15

そして、このＡＤ変換回路をオンチップで搭載する形態としては、後述する３タイプのものが知られている。

20

図６は、このようなＡＤ変換回路をオンチップで搭載したＣＭＯＳイメージセンサの構成例を示す説明図である。ただし、図中の斜線ブロック２００Ａ、２００Ｂ、２００Ｃは、ＡＤ変換回路の３つの配置例を示すものであり、実際の回路では、いずれか１つの配置例を採用するものである。

まず、この図６に基づいて従来のＣＭＯＳイメージセンサの構成について説明する。

25

図示のように、このＣＭＯＳイメージセンサは、画素アレイ部２１０、Ｖ選択回路２２０、列信号処理部２３０、Ｈ選択回路２４０、及び出力部２５０を１つのチップ上に搭載したものである。

画素アレイ部 210 は、多数の画素を 2 次元配列状（行列状）に設けたものである。

V 選択回路 220 は、画素アレイ部 210 の各画素を行単位で垂直方向（列方向）に順次選択しながら駆動する回路である。

5 列信号処理部 230 は、画素アレイ部 210 の各画素列に対応して設けられ、各画素 211 の信号を順次受け取って固定パターンノイズ除去やゲイン調整等の処理を行う回路である。

H 選択回路 240 は、列信号処理部 230 を行方向に順次選択し、この列信号処理部 230 によって処理された各画素の信号を出力線 241  
10 に出力するものである。

出力部 250 は、出力線 241 からの画素信号を受け取って最終的な信号処理を行い、画像信号として出力するものである。

そして、このような CMOS イメージセンサにおいて、AD 変換回路をオンチップで配置する形態としては次の 3 通りとなる。

15 まず、図 6 に示す斜線ブロック 200A で示す配置例は、各画素 211 に AD 変換回路を設けたものであり、画素毎に AD 変換を行い、各画素 211 からデジタル化した画素信号を出力するものである（以下、画素レベル AD という）（例えば、米国特許第 5461425 号公報）。

また、図 6 に示す斜線ブロック 200B で示す配置例は、各列信号処理回路 230 に AD 変換回路を設けたものであり、列毎に AD 変換を行い、各列信号処理回路 230 からデジタル化した画素信号を出力するものである（以下、列レベル AD という）（例えば、日本国特許第 253234 号公報）。

また、図 6 に示す斜線ブロック 200C で示す配置例は、出力部 25  
25 0 に AD 変換回路を設けたものであり、出力線 241 に導かれる信号に対して順々に AD 変換を行い、出力部 250 からチップ外にデジタル化

した画素信号を出力するものである（以下、チップレベルADという）。これは単にアナログ出力のデバイスにAD変換回路をつなげたものと同  
等である。

5       しかしながら、上述した3つのAD変換では以下のような課題があっ  
た。

      （１）画素レベルADは、全ての画素で同時にAD変換できるので、  
高速な処理が可能であるが、AD変換回路を各画素内に配置するので、  
各画素の規模が大きくなり、画素アレイ部の面積及び光学系が大きくな  
り、その一方で開口率（画素中のフォトダイオードの面積比率）が低く  
10   なり、感度が低くなるなどの欠点がある。

      （２）列レベルADは、画素レベルADに比べて画素は簡単になり、  
小型化が可能であるが、1フレーム分の画像を出力するのに、行数に応  
じた回数（例えば数百～数千回）のAD変換をしなければならないので  
低速であるという欠点がある。

15   また、AD変換を短時間で行うので、回路の帯域を大きくすることが  
必要であり、ノイズが大きくなる。

      また、AD変換は1フレームの間、ずっと順番に行を処理していくの  
で、最初の行と最後の行でAD変換される時間に1フレーム時間のずれ  
が生じるので、全画面の時間差をできるだけ小さくしたい場合（例えば  
20   動きのある被写体を撮影する場合）には適さない。

      （３）チップレベルADは、列レベルADと同様の性質をもっている。  
つまり、画素は簡単になるが、1フレームの出力をするのに、画素数に  
応じた回数（例えば数十万～数百万回）のAD変換をしなければならない  
ので、列レベルADよりさらに低速になるという欠点がある。

25   また、AD変換を短時間で行うので、回路の帯域を大きくすることが  
必要で、列レベルADよりさらにノイズが大きくなる。また、AD変換

は1フレームの間ずっと順番に画素信号を処理していくので、最初の画素と最後の画素でAD変換される時間に1フレーム時間のずれが生じ、全画面の時間差をできるだけ小さくしたい場合には適さない。

そこで本発明の目的は、画素アレイ部や光学系の大型化を招くことなく、迅速かつ低負担でAD変換を行うことができ、かつ、同時AD変換による高画質のデジタル画像信号を出力することが可能な固体撮像装置を提供することにある。

#### 発明の開示

10 本発明は前記目的を達成するため、複数の画素を2次元配列で設けた画素アレイ部と、前記画素アレイ部の画素配列に対応して複数の単位メモリを2次元配列で設け、各単位メモリにAD変換回路を設けたADメモリ部と、前記画素アレイ部を走査して各画素のアナログ信号を前記ADメモリ部に読み出す画素アレイ走査回路と、前記ADメモリ部を走査して各単位メモリのデジタル信号を出力するメモリ走査回路とを有することを特徴とする。

本発明の固体撮像装置では、2次元配列の画素アレイ部に対応したADメモリ部の各単位メモリ毎にAD変換回路を設け、各画素から読み出した信号をADメモリ部でAD変換する。

20

#### 図面の簡単な説明

図1は、本発明の実施の形態例によるAD変換回路をオンチップで搭載したCMOSイメージセンサの構成例を示す説明図である。

図2は、AD変換回路を説明する他の例である。

25 図3は、図1に示すADメモリ部における単位メモリの回路例を示す回路図である。

図 4 は、図 1 に示す A D メモリ部における駆動例を示すタイミングチャートである。

図 5 は、本発明の一例であるカメラモジュールタイプの固体撮像装置である。

5 図 6 は、従来の A D 変換回路をオンチップで搭載した C M O S イメージセンサの構成例を示す説明図である。

発明を実施するための最良の形態

以下、本発明による固体撮像装置の実施の形態例について説明する。

10 図 1 は、本発明の実施の形態例による A D 変換回路をオンチップで搭載した C M O S イメージセンサの構成例を示す説明図である。

図示のように、この C M O S イメージセンサは、画素アレイ部 1 1 0、V 選択回路 1 2 0、A D メモリ部（メモリブロック） 1 3 0、メモリ V 選択回路 1 4 0、H 選択回路 1 5 0、及び出力部 1 6 0 を 1 つのチップ  
15 上に搭載したものである。

画素アレイ部 1 1 0 は、多数の画素 1 1 1 を 2 次元配列状（行列状）に設けたものであり、各画素において検出されたアナログ画素信号を各画素列毎に設けられた出力信号線（垂直信号線）より出力するものである。

20 なお、各画素 1 1 1 の回路構成は、種々の形態が用いることが可能であるが、例えば光電変換素子（フォトダイオード等）と、その生成電荷をフローティングデフュージョン（F D）部に読み出す転送トランジスタと、F D 部に転送された信号電荷による電位変動を電気信号に変換して出力する増幅トランジスタと、この増幅トランジスタの出力と出力信号線（垂直信号線）とを接続する選択トランジスタと、F D 部の電位を  
25 リセットするリセットトランジスタとを有するものとする。

V 選択回路 1 2 0 は、画素アレイ部 1 1 0 の各画素を行単位で垂直方向（列方向）に順次選択しながら駆動するものであり、画素アレイ走査回路を構成している。

AD メモリ部 1 3 0 は、画素アレイ部 1 1 0 の各画素配列に対応する 2 次元配列で単位メモリ 1 3 1 を配置して構成され、垂直信号線を通して読み出されたアナログ画素信号を順次蓄積し、AD 変換を含む各種の処理（例えば C D S による固体パターンノイズ除去やゲイン調整等）を行うものである。なお、各単位メモリ 1 3 1 は D R A M によって構成されている。

そして、この AD メモリ部 1 3 0 の各単位メモリ 1 3 1 には、AD 変換回路 1 3 2 が設けられ、この AD 変換回路 1 3 2 によって各画素から読み出されたアナログ画素信号をデジタル画素信号に変換する。

なお、図 1 に示す構成では、画素アレイ部 1 1 0 の各画素 1 1 1 と AD メモリ部 1 3 0 の各単位メモリ 1 3 1 とが 1 対 1 で対応させた例を示しているが、複数（ $N \geq 2$ ）の画素と 1 つの単位メモリが  $N$  対 1 で対応する構成であってよい。この場合には、1 つの単位メモリによって複数（ $N$  個）の画素の処理を順次に行うことになる。ここで、単位メモリは画素アレイ部 1 1 0 の画素列の数に対応した列数と、少なくとも 2 行に配列されていれば、上述した従来技術の撮像装置よりも全画面の分の画素からの信号を同時に AD 変換することにより、全画面の分の画素からの信号の AD 変換にかかる時間が短縮できる。

例えば、図 2 のように、画素アレイ部の行数の半分の行数を有する AD メモリ部を設けた場合、全画素数の半数ずつの画素からの信号を同時に AD 変換することにより、全画面の分の画素からの信号の AD 変換にかかる時間が短縮できる。

また、解像度を下げて高速撮像を行うための加速読みだしを行う場合



は、1フレーム分の信号のAD変換にかかる時間が大幅に短縮でき、さらなる高速撮像が可能となる。図2の固体撮像装置において、例えば上下2行の画素からの信号を加算して読み出せばADメモリ部において、1フレーム分の画素からの信号を1度にAD変換することができる。また、加算する行数を増やした場合や、図2に示す以外の例えばADメモリ部の行数を画素アレイ部の行数の半分未満で2行以上設けた場合でも、同様の動作が可能である。

また、本例では、ADメモリ部130の各単位メモリ配列がそのまま1画像フレームに対応しており、このフレーム単位でAD変換を行うことから、本例のAD変換方式をフレームメモリレベルADと呼ぶものとする。

メモリV選択回路140は、ADメモリ部130の各単位メモリ131の走査と駆動を行い、各単位メモリ131で処理されたデジタル画素信号を出力する回路である。

H選択回路150は、ADメモリ部130を行方向に順次選択し、このADメモリ部130によって処理されたデジタル画素信号を出力線151に出力するものである。なお、メモリV選択回路140とH選択回路150でメモリ走査回路を構成している。

出力部160は、出力線151からのデジタル画素信号を受け取って最終的な信号処理を行い、デジタル画像信号としてチップ外に出力するものである。

本例のフレームメモリレベルADでは、画素アレイ部110の画素信号を短時間でADメモリ部130に転送し、その後、全画素の信号を同時にAD変換することができる。よって、従来の画素レベルADと異なり、画素がAD変換回路のために大きくなったり、開口率が下がったりすることがなく、また、列レベルAD、チップレベルADと異なり、A

D変換を1フレームで1回行えばよいので、高速に処理できる。また、個々のAD変換処理をゆっくりできるので、AD変換回路の帯域を落とし、ノイズを下げることができる。

図3は、本例のADメモリ部130における単位メモリ131の回路例を示す回路図であり、図4は、本例のADメモリ部130における駆動例を示すタイミングチャートである。

まず、図3に基づいて単位メモリ131の構成を説明する。

本例の単位メモリ131は、垂直信号線133を通して各画素から読み出されるリセットレベル電圧と信号レベル電圧の差分を取り、各画素毎に生じる固定パターンノイズを除去するためのCDS（相関二重サンプリング）回路170と、このCDS回路170によって生成された差分信号をランプ（ramp）波と比較して、デジタル信号値を出力するAD変換回路180（すなわち、図1に示すAD変換回路132）とで構成される。なお、ここではリセットレベル電圧が0レベル信号に相当する電圧となり、それに対して負に振れる信号レベル電圧を順に出力するタイプの画素回路を用いているものとする。

そして、図3に示すように、CDS回路170は、スイッチ（SW1、SW2）171、172と、コンデンサ（C1、C2）173、174と、差動増幅器175とを有する。

また、AD変換回路180は、図示の例では10bitのデータ幅を有する場合の構成例であり、各ビット毎に変換用のトランジスタ（Tr0～Tr9）181と、サンプリング用のコンデンサ182と、出力用のトランジスタ183とを有する。

以下、本例のADメモリ部130における動作を図4を用いて説明する。なお、ramp電圧はアナログ電圧信号であるので、図4の波形図では他の信号とは異なるスケールで示している。

(1) 画素アレイ部 1 1 0 から A D メモリ部 (メモリブロック) 1 3 0 への読み出し期間 [T 1]

ここでは画素アレイ部 1 1 0 から 1 行ずつ信号を読み出して、各画素に対応する A D メモリ部 1 3 0 の単位メモリ 1 3 1 に書き込む動作となる。  
5

1 行分の動作は、以下のようになる。

(1-1) まず、垂直信号線 1 3 3 に画素 1 1 1 からリセットレベルを読み出している期間に、スイッチ 1 7 1、1 7 2 を O N する。

ここでコンデンサ 1 7 3 のスイッチ 1 7 1 側の電位はリセットレベルとなるが、その反対側では、差動増幅器 1 7 5 の + 入力端子にランプ信号の供給線 (r a m p 配線) 1 9 1 によって供給される r a m p 電圧が印加されているため、スイッチ 1 7 2 の O N により、差動増幅器 1 7 5 の - 入力端子と出力端子が r a m p 電圧にクランプされることになる。  
10

(1-2) 次に、スイッチ 1 7 2 を O F F してから、垂直信号線 1 3 3 に画素の信号レベルを読み出す。このとき差動増幅器 1 7 5 の - 入力端子は、コンデンサ 1 7 3 を通してリセットレベルと信号レベルの差に比例した負の方向の電位変動が生じ、画素の固定パターンばらつきが除去された信号電圧が入力されることになる。  
15

この結果、差動増幅器 1 7 5 の出力は H i g h レベルになり、トランジスタ 1 8 1 が O N する。  
20

(1-3) 次に、スイッチ 1 7 1 を O F F すると、垂直信号線 1 3 3 と切り離され、この状態が保持される。

この期間中は、r a m p 信号は H i g h レベルである。また、トランジスタ 1 8 1 の駆動用クロック配線 (c k 配線) 1 9 2、及びトランジスタ 1 8 3 の駆動用クロック配線 (w o r d 配線) 1 9 3 は、共に L o w レベルである。  
25

この動作を各行について繰り返し、1フレームの信号をADメモリ部に取り込む。

## (2) AD変換期間 [T2]

次に、ramp電圧をHighからLowに遷移させながら、トランジスタ181の駆動用クロックck[0]～ck[9]を10bitで  
5 カウントアップするよう駆動する。ramp電圧が(1)で保持されている差動増幅器175の一入力端子電圧よりも低くなったときに、差動増幅器175の出力が反転し、その時のck[0]～ck[9]の値(High/Low)がそれぞれのコンデンサ182に保持される、すなわ  
10 ち10bitのAD変換結果が格納される。

なお、ramp電圧、及びck[0]～ck[9]は、それぞれADメモリ部の全域で共通になっているので、1フレーム分の信号が同時にAD変換される。また、コンデンサ182にHigh/Lowが書き込まれるので、これは原理的にDRAMである。

## 15 (3) メモリアクセス期間 [T3]

次に、ADメモリ部から読み出したい画素の信号を、トランジスタ183のword配線193を駆動し、データ出力線であるbit配線194から読み出す。なお、読み出し方法、及び読み出し回路構成は、ともに通常のDRAMと同様のもので良い。また、1行ずつ順番に読み出  
20 しても良いし、1部分だけを読み出すようにしても良い。あるいは完全なランダムアクセスも可能である。

また、次のフレームの情報を得るには、上記(1)の読み出し動作から同様の動作を行う。これは1行ずつの動作であるので、ADメモリ部への読出し期間であっても、まだ読出し順が回ってこない行はメモリア  
25 クセスは可能である。以下これらの動作を繰り返す。

ところで、従来のフレームメモリを持たないCMOSイメージセンサ

では、1行を列信号処理部に同時に読み出しても、その後に、各列の列信号処理回路を順番に選択して信号を水平信号線に導き、1個ずつ出力する期間が数倍～数十倍必要で、その後にやっと次の行に移ることができる。

5      これに対し、本例の方式では、1行ずつ読み出すだけでADメモリ部130への読み出しが完了するので、その読み出しに要する時間は、数分の1～数十分の1の短時間で終わる。これは、各行が読み出される時間のずれが短くなるということであるので、全画面の時間差が数倍～数十倍小さくなる。この時間差があると、動いている被写体を撮影したとき  
10      きに時間差のせいで被写体がゆがむが、本例の方式によれば、このゆがみが数倍～数十倍小さくなる効果がある。もちろん、画素から読み出すところは従来のCMOSイメージセンサと同じなので、従来のCMOSイメージセンサで露光時間を同時化してゆがみを無くす公知の方法を本例に適用することもできる。

15      また、本例の方式では、1フレーム分の信号が同時にAD変換されるので、AD変換も短時間で終わる。

さらに、ADメモリ部130からの読み出しは、フレームメモリへのアクセスとなるので、行ごとに順番である必要は無く、読出し順が完全に自由である。もちろん通常のDRAMと同様に、word線とbit  
20      線を用いて外から別の信号を書き込むことも可能である。

また、各画素の信号を読み出す前の適当な時間に画素をリセットして電子シャッタがかけられるのは従来のCMOSイメージセンサと同様である。

なお、上述の例では、画素回路として、リセットレベル電圧（信号0  
25      に相当する電圧）と、それに対して負に振れる信号レベル電圧を順に出力するタイプのものを仮定したが、このタイプでない画素回路に適用す

ることも、もちろん可能である。

また、A Dメモリ部の構成としては、上記の他にも種々の変形が可能である。例えば、上述したように複数画素に対応して1つのA D変換回路を割り当てることも可能である。

- 5      また、A D変換回路は、チョッパ型コンパレータを用いたり、 $\Delta \Sigma$ 型を採用することもできる。また、メモリにはD R A M型でなく、S R A M型等を用いることも可能である。

- 10      また、本発明の固体撮像装置は上述した構成以外の構成を含んでいてもよく、例えば図5のように撮像部301が光学系300や、信号処理チップ302と組み合わせられたカメラモジュールタイプの固体撮像装置303であってもよい。

- 15      尚、画素アレイ部やA Dメモリ部の2次元配列の行と列の区別は実質的に無く、画素や単位メモリが略直行する2方向に配列されていれば、固体撮像装置を見る方向によって、画素行は画素列でもあり、単位メモリ行は単位メモリ列でもあり、またその逆も同様である。

#### 産業上の利用可能性

- 20      以上説明したように本発明の固体撮像装置によれば、2次元配列の画素アレイ部に対応したA Dメモリ部の各単位メモリ毎にA D変換回路を設け、各画素から読み出した信号をA Dメモリ部でA D変換することから、2次元配列のA D変換回路でA D変換を分散して行え、上述した列レベルA D変換やチップレベルA D変換に比べて高速なA D変換を行うことができ、また、A D変換回路の帯域を落とすことができ、ノイズの少ない信号を得ることが可能である。

- 25      また、画素内にA D変換回路を設けないため、画素回路の構成を簡素化でき、画素の開口率を大きくでき、高い感度の画素アレイ部を構成で

き、さらに画素アレイ部からADメモリ部に短時間で画素信号を読み込めるので、1つの画面内での処理の時間差を小さくでき、動きの有る被写体を撮ってもゆがみが少なく、良好な画質の画像を得ることができる。

さらに、ADメモリ部からの読み出しは、フレームメモリへのアクセスとなるので、行ごとに順番である必要などは無く、読出し順が完全に自由である。さらに、通常のDRAMと同様に、word線とbit線を用いて外から別の信号を書き込むことも可能である。

## 請 求 の 範 囲

1. 複数の画素を2次元配列で設けた画素アレイ部と、

前記画素アレイ部の画素配列に対応して複数の単位メモリを2次元配  
5 列で設け、各単位メモリにAD変換回路を設けたADメモリ部と、

前記画素アレイ部を走査して各画素のアナログ信号を前記ADメモリ  
部に読み出す画素アレイ走査回路と、

前記ADメモリ部を走査して各単位メモリのデジタル信号を出力する  
メモリ走査回路と、

10 を有することを特徴とする固体撮像装置。

2. 前記ADメモリ部から出力されるデジタル信号を信号処理して装  
置外に出力する出力部を有することを特徴とする請求項1記載の固体撮  
像装置。

3. 前記画素アレイ部の各画素と前記ADメモリ部の各単位メモリと  
15 が1対1で対応していることを特徴とする請求項1記載の固体撮像装置。

4. 前記画素アレイ部の各画素と前記ADメモリ部の各単位メモリと  
がN対1 ( $N \geq 2$ ) で対応していることを特徴とする請求項1記載の固  
体撮像装置。

5. 前記画素アレイ走査回路によって画素アレイ部からADメモリ部  
20 に信号を読み出し、次にADメモリ部においてAD変換を行い、次にメ  
モリ走査回路によってADメモリ部から信号の出力を行うことを特徴と  
する請求項1記載の固体撮像装置。

6. 前記ADメモリ部におけるAD変換は全単位メモリで同時に行う  
ことを特徴とする請求項1記載の固体撮像装置。

25 7. 前記画素アレイ部からADメモリ部への信号の読み出しは画素行  
単位で行い、前記ADメモリ部におけるAD変換は全単位メモリで同時



に行うことを特徴とする請求項 1 記載の固体撮像装置。

8. 前記単位メモリが D R A M よりなることを特徴とする請求項 1 記載の固体撮像装置。

9. 複数の画素を 2 次元配列で設けた画素アレイ部と、

5 前記画素アレイ部から読み出された信号を蓄積して A D 変換する A D メモリ部とを有し、

前記 A D メモリ部は少なくとも 2 次元配列された複数の単位メモリを含み、

10 前記複数の単位メモリは前記画素アレイ部の少なくとも 2 行分の画素からの信号を同時に A D 変換する固体撮像装置。

10. 前記複数の単位メモリ部は前記画素アレイ部から加算読み出された信号を同時に A D 変換する請求項 9 記載の固体撮像装置。

11. 前記単位メモリは前記画素アレイ部からの信号に対してノイズ除去処理及び A D 変換を行う請求項 9 記載の固体撮像装置。

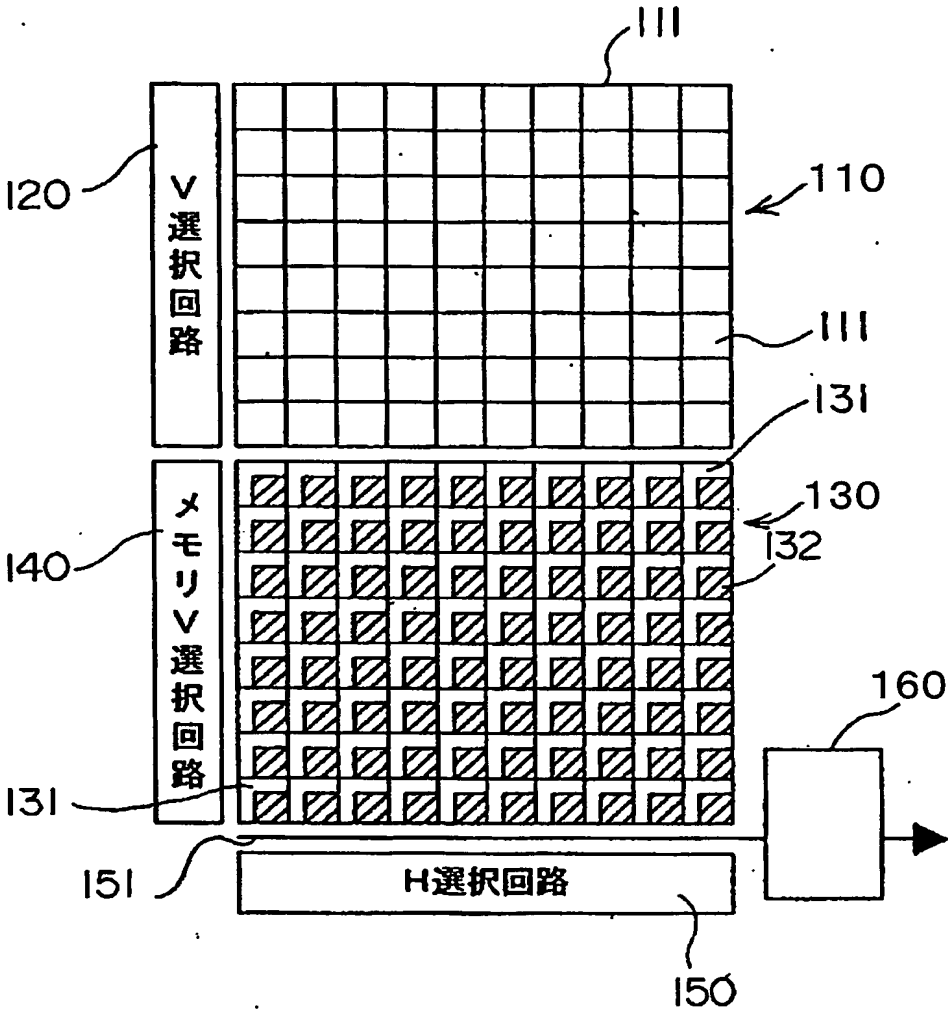


Fig.1

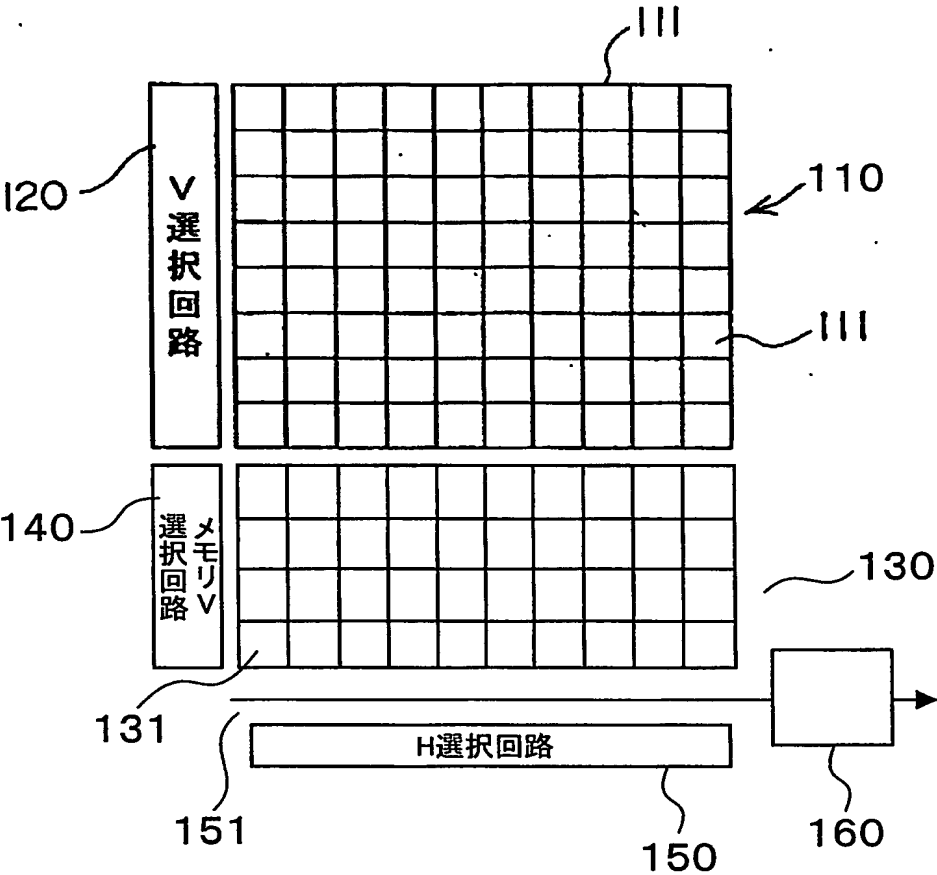


Fig.2

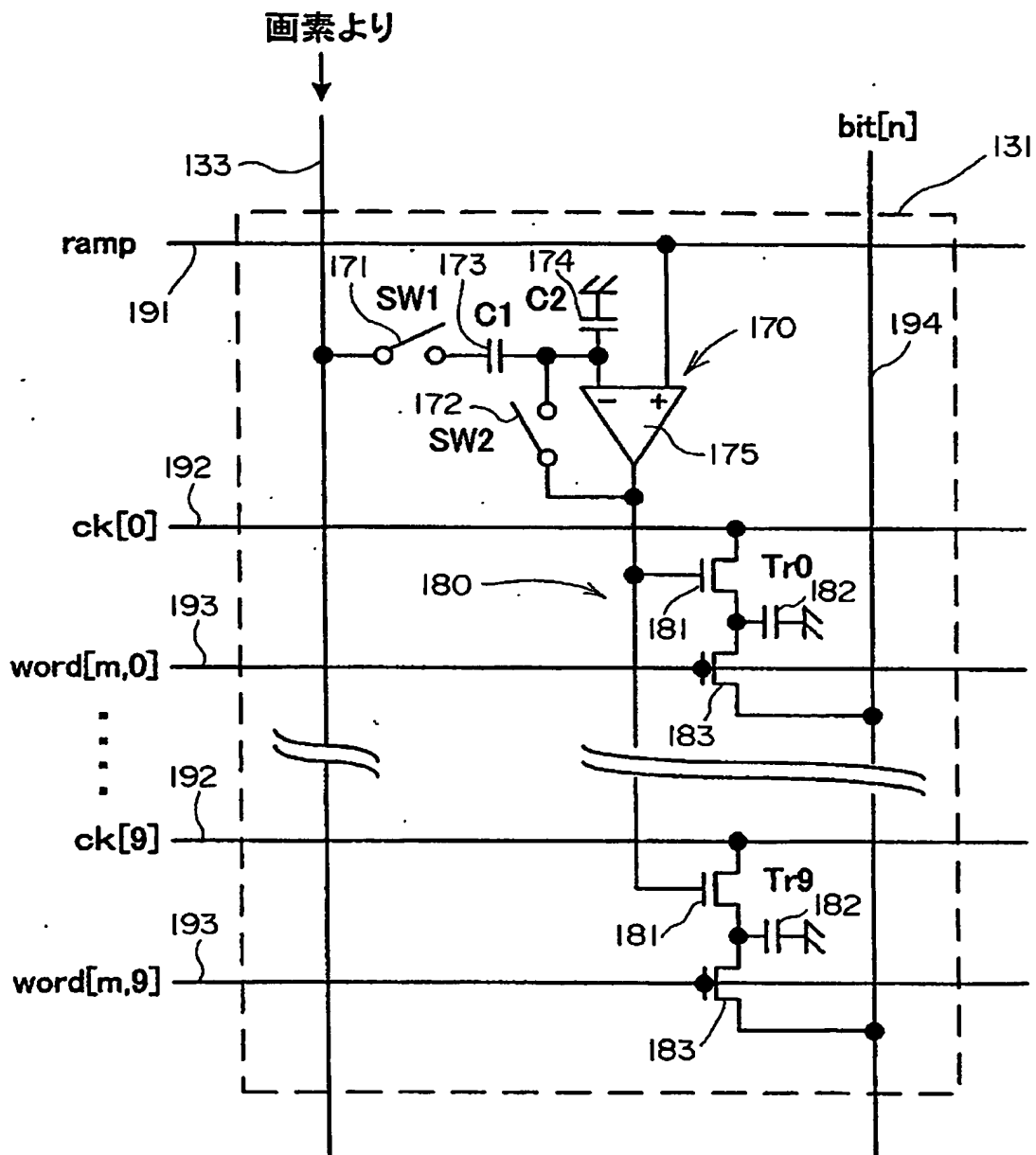


Fig.3

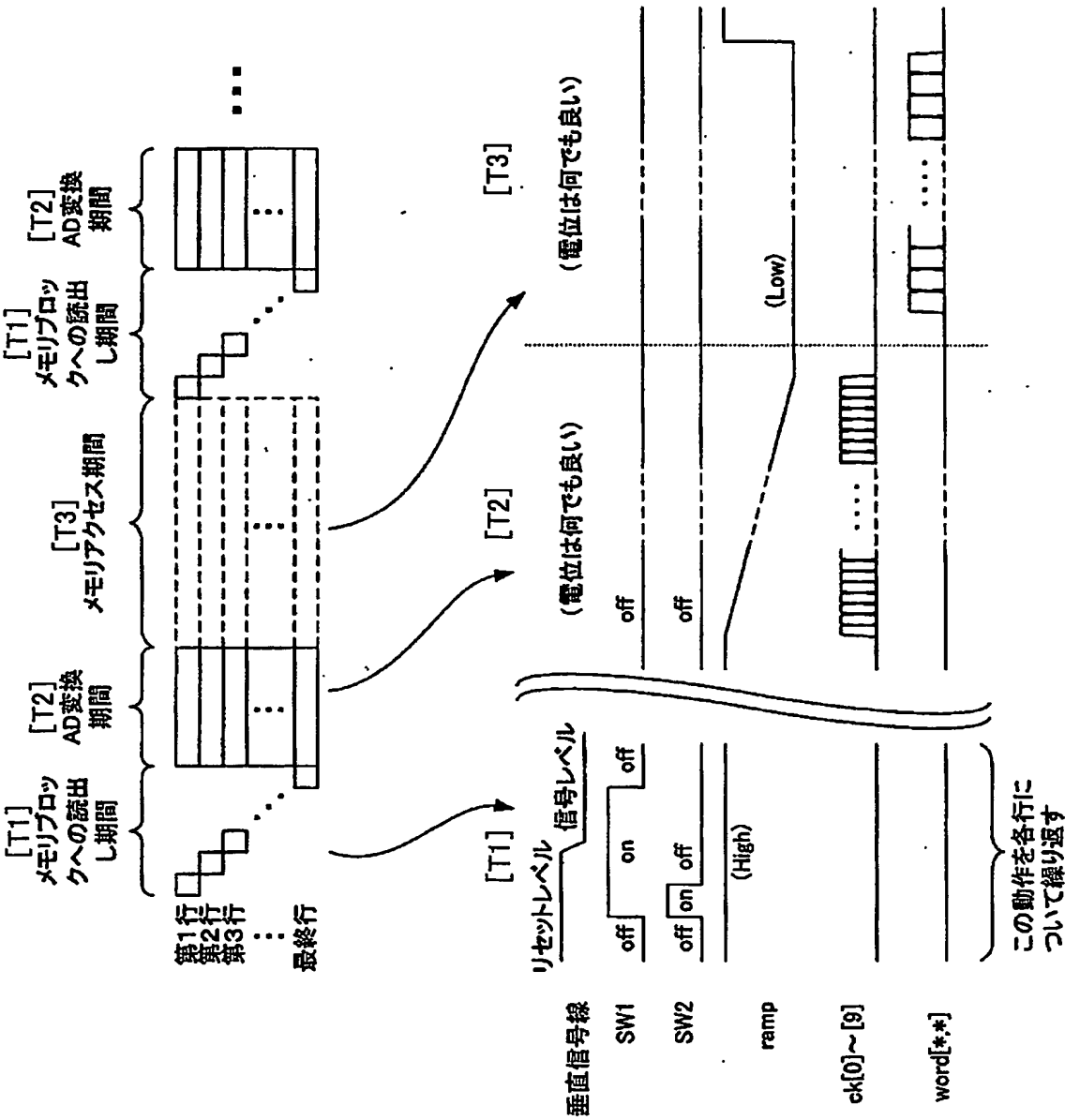


Fig.4

5/6

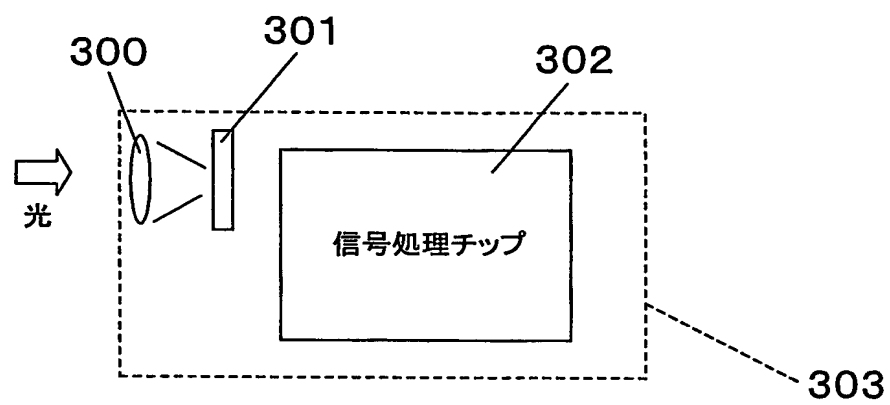


Fig.5

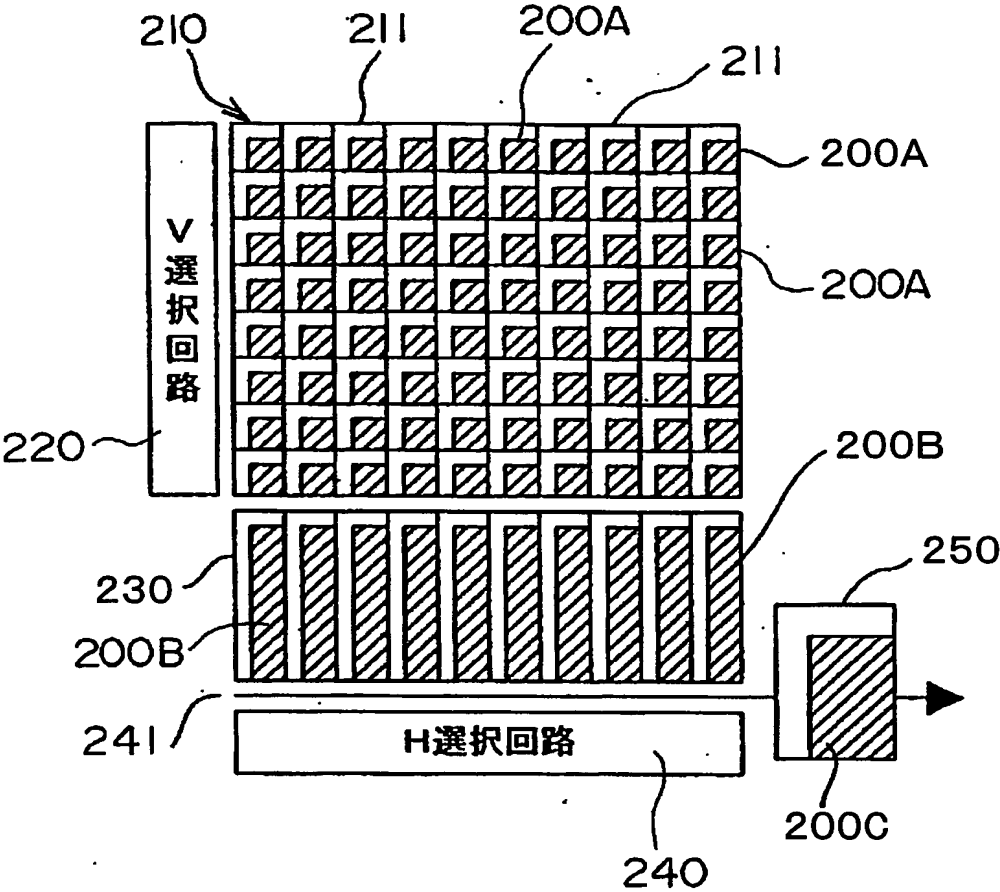


Fig.6

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14115

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H04N5/335

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JOIS

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 02-65380 A (Canon Inc.), 06 March, 1990 (06.03.90), Page 3, upper right column, line 5 to page 5, lower left column, line 13; Fig. 1 & US 5132803 A	1-11
A	JP 2001-54022 A (Nippon Hoso Kyokai), 23 February, 2001 (23.02.01), Par. Nos. [0016] to [0024] Full text (Family: none)	1-11
A	JP 2001-45379 A (Sony Corp.), 16 February, 2001 (16.02.01), Par. Nos. [0078] to [0079]; Figs. 10 to 11 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
05 February, 2004 (05.02.04).

Date of mailing of the international search report  
17 February, 2004 (17.02.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP03/14115

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 95/22180 A1 (STANFORD UNIVERSITY), 17 August, 1995 (17.08.95), Full text; Figs. 1 to 4 & US 5461425 A	1-11

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04N5/335

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JOIS

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 02-65380 A (キヤノン株式会社) 1990.03.06, 第3頁上右欄第5行-第5頁下左欄第13 行、第1図 & US 5132803 A	1-11
A	JP 2001-54022 A (日本放送協会) 2001.02.23, 段落番号【0016】-【0024】, 全 図 (ファミリーなし)	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

05.02.2004

国際調査報告の発送日

17.2.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

徳田 賢二

5P

3137

電話番号 03-3581-1101 内線 3502

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-45379 A, (ソニー株式会社) 2001. 02. 16, 段落番号【0078】-【0079】, 第 10-11図 (ファミリーなし)	1-11
A	WO 95/22180 A1, STANFORD UNIVER SITY 1995. 08. 17, 全文, 第1-4図 & US 5461425 A	1-11